

JAPANESE

[JP,2001-119023,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device characterized by being the semiconductor device which formed a trench which has the side and a base and formed an insulator layer in the semiconductor layer surface of the semiconductor layer surface and said base of said side, and choosing both crystal face as a semiconductor layer to a growth rate of an insulator layer of the semiconductor layer surface of said side so that a growth rate of an insulator layer of a semiconductor layer of said base may be size.

[Claim 2] A semiconductor device according to claim 1 characterized by said insulator layer being silicon oxide.

[Claim 3] the crystal face of said side -- or (110) the near -- it is -- the crystal face of said base -- or (111) a semiconductor device according to claim 1 or 2 characterized by being the near.

[Claim 4] A semiconductor device given in either of claims 1, 2, and 3 characterized by providing a gate electrode inside said trench.

[Claim 5] A semiconductor device according to claim 4 characterized by forming an insulated-gate mold semiconductor device in an insulator layer of said gate electrode and said side, and a semiconductor layer of said side.

[Claim 6] A production process which forms a trench which has the side and a base in a semiconductor layer A production process which forms an insulator layer in the semiconductor layer surface of the semiconductor layer surface and said base of said side It is the manufacture method of a semiconductor device equipped with the above, and to a growth rate of an insulator layer of a semiconductor layer of said trench side, it is characterized by choosing both crystal face so that a growth rate of an insulator layer of a semiconductor layer at said base of a trench may be size.

[Claim 7] A manufacture method of a semiconductor device according to claim 6 characterized by said insulator layer being silicon oxide.

[Claim 8] the crystal face of said side -- or (110) the near -- it is -- the crystal face of said base -- or (111) a manufacture method of a semiconductor device according to claim 6 or 7 characterized by being the near.

[Claim 9] A manufacture method of a semiconductor device given in either of claims 6, 7, and 8 to which a production process which forms said insulator layer is characterized by being thermal oxidation of 900 degrees C or more.

[Claim 10] A production process which forms a channel field of a reverse conductivity type in the surface of a semiconductor layer of one conductivity type A production process which forms in said semiconductor layer surface a trench which has the side and a base A production process which forms a gate insulator layer in the semiconductor layer surface of the semiconductor layer surface and said base of said side, a production process which forms a gate electrode in the interior of said trench, and a production process which forms a source field of a reverse conductivity type in said channel field surface It is the manufacture method of a semiconductor device equipped with the above, and to a growth rate of an insulator layer of a semiconductor layer of said side, it is characterized by choosing both crystal face so that a growth rate of an insulator layer of a semiconductor layer of said base may be size.

[Claim 11] A manufacture method of a semiconductor device according to claim 10 characterized by said insulator layer being silicon oxide.

[Claim 12] the crystal face of said side -- or (110) the near -- it is -- the crystal face of said base -- or (111) a manufacture method of a semiconductor device according to claim 10 or 11 characterized by being the near.

[Claim 13] A manufacture method of a semiconductor device given in either of claims 10, 11, and 12 to which a production process which forms said insulator layer is characterized by being thermal oxidation of 900 degrees C or more.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor device which has trench slot structure about semiconductor devices, such as vertical mold MOSFET equipment.

[0002]

[Description of the Prior Art] In the latest vertical mold MOSFET, since it is easy to acquire a low on resistance property structurally, the so-called trench mold of the structure which embedded the gate electrode at trench Mizouchi attracts attention. As for the vertical mold MOSFET which has such trench mold structure, the structure and the outline of a manufacturing process are indicated by JP,4-146674,A, JP,5-335582,A, etc.

[0003] Such an example of the manufacture method of a vertical mold MOSFET is explained using drawing 8 thru/or drawing 9.

[0004] The 1st production process: Diffuse the impurity of P type on the surface of the semiconductor substrate 11 which has drawing 8 (A) reference N+ mold semiconductor layer 11a and N-type semiconductor layer 11b, and form the channel field 12 in it. The semiconductor layers 11a and 11b turn into a common drain layer.

[0005] The 2nd production process: Form a trench 13 by anisotropy dry etching from the drawing 8 (B) reference substrate 11 surface. A trench 13 penetrates the channel field 12 and reaches N-type semiconductor layer 11b. The semiconductor substrate 11 whole is heat-treated and the gate oxide 14 whose thickness is about 800Å is formed in the semiconductor layer surface of the side of a trench 13, and a base.

[0006] The 3rd production process: Form the gate electrode 15 which lays the interior of a trench 13 underground by forming a polish recon layer all over the drawing 8 (C) reference, and carrying out etchback of this.

[0007] The 4th production process: Form N+ source field 16 and P+ contact field 17 in the drawing 9 (A) reference channel field 12 surface, and form an insulator layer 18 on the gate electrode 15 further.

[0008] The 5th production process: Form the source electrode 19 in contact with both refer to drawing 9 (B), and the source field 16 and the contact field 17.

[0009] In the vertical mold MOSFET of the starting structure, by giving the voltage more than a predetermined threshold to the gate electrode 15, the inversion layer (channel) of N type is formed along with the trench 13 in the channel field 12 of P type, and a current path is formed between N-type semiconductor layer 11b and the source field 16 of N+ mold. Thereby, between the source drains of a vertical mold MOSFET will be in an ON state. Conversely, by making voltage of the gate electrode 15 below into a threshold, the inversion layer of the N type of the channel field 12 will be lost, and between the source drains of a vertical mold MOSFET will be in an OFF state. According to the vertical mold MOSFET to apply, since there is no junction type FET effect peculiar to the vertical mold MOSFET of a planar mold, the advantage that the on resistance can be made small arises.

[0010] In the above manufacture method, the gate oxide 14 formed at the 2nd production process is an important element which determines the threshold of an MOSFET element. This threshold is determined by the thickness t_1 (refer to drawing 8 (B)) of the gate oxide 15 of the portion pinched mainly with the channel field 12 and the gate electrode 15, and it can improve the current drive capacity of an element, so that that thickness is thin. On the other hand, the thickness t_2 of the gate oxide 14 in the base of a trench 13 determines the resisting pressure V_{dg} between gate drains of this element. The resisting pressure V_{dg} between gate drains can be increased, so that this thickness t_2 is thick. Moreover, thickness t_2 is also the element which determines the capacity C_{dg} between gate drains of an element.

[0011] By the way, in silicon society, the semiconductor substrate 11 of field bearing (100) is used abundantly. Since a field defines field bearing by the inverse number of the coordinate value which crossed the axis of coordinates, field bearing (100) of intersection y and the z-axis is infinite at a x-axis = (100) shaft and "1", crosses, namely, means the crystal face at which it does not cross.

[0012] Drawing 10 is the perspective diagram showing the condition at the time of forming a trench mold MOSFET element in such (100) a substrate. A trench 13 continues in the shape of a grid, and encloses the perimeter of the rectangular channel field 12. a rectangle [like a square] whose channel field 12 is -- and the crystal face of the semiconductor layer exposed to the side and the base of a trench 13 when the configuration is in agreement with bearing of the crystal face -- both (100) -- or it becomes the crystal face (equivalence side) of the near. Thus, if it is an equivalence side, since the growth rate of the silicon oxide by thermal oxidation is the same, the thickness t_1 and t_2 of gate oxide 14 (refer to drawing 8 (B))

turns into the same thickness.

[0013]

[Problem(s) to be Solved by the Invention] However, in order to make capacity Cdg between gate drains small greatly [resisting pressure / Vdg / of an element / between gate drains] to there being a demand which wants to make thickness t1 thin in quest of the reduction in a threshold and high-current-izing of an element, there is a conflicting requirement of wanting to thicken thickness t2. Although these were conflicting requirements, since [with the poor more fatal resisting pressure which originates, for example in the pinhole of gate oxide 14 etc.] it was poor, there was a defect referred to as checking high performance-ization of an element by layout which gave priority to thickness t2 after all.

[0014]

[Means for Solving the Problem] This invention was made in view of the conventional defect mentioned above, and forms a trench which has the side and a base in a semiconductor layer. Are the semiconductor device in which an insulator layer was formed on the semiconductor layer surface of the semiconductor layer surface and said base of said side, and to a growth rate of an insulator layer of the semiconductor layer surface of said side, so that a growth rate of an insulator layer of a semiconductor layer of said base may be size It is characterized by choosing both crystal face.

[0015]

[Embodiment of the Invention] Hereafter, the gestalt of 1 operation of this invention is explained with reference to a drawing.

[0016] 1st production process [of the 1st operation / of a gestalt]: -- drawing 1 (A) -- the silicon semiconductor substrate 21 possessing N+ type layer 21a and N type layer 21b is prepared first 3 **. N type layer 21b is located in the 1 principal-plane side of a substrate 21, and N+ type layer 21a is located in a rear-face side. N type layer 21b is formed with an epitaxial grown method. As for the substrate 21, the crystal face of the near is chosen at least for the method (111) of a field, and the crystal face of the surface of N type layer 21a is also set to (111).

[0017] The 2nd production process: Carry out thermal diffusion of the impurity of P type, such as boron, to the field which should form a drawing 1 (B) reference MOSFET element alternatively from the surface of the N-type semiconductor substrate 21, and form the channel field 22 of P type in it. 23 is silicon oxide.

[0018] The 3rd production process: Form the photoresist film 24 on drawing 1 (C) reference silicon oxide 23. The photoresist film 24 is exposed and developed and two or more openings 25 are formed. By this opening 25, silicon oxide 23 is removed alternatively and the silicon surface is exposed partially.

[0019] The 4th production process: Etch the silicon surface alternatively according to the opening of silicon oxide 25, and form a trench 26, after removing the drawing 1 (D) reference photoresist film 24. Etching uses HBr, NF3, and helium+O2 as etching gas using the dry etching system P-5000 of AMJ. This etching is considered as etching of an anisotropy to which etching advances perpendicularly to a substrate 21. A trench 26 penetrates the P type channel field 22, and reaches N type layer 21a.

[0020] the case where field bearing of a substrate 21 is set to (111) in this production process -- the semiconductor layer surface 27 of the trench 26 side -- or (110) the crystal face of that near can be exposed. Moreover, the crystal face of the near is exposed to the semiconductor layer surface 28 of trench 26 base (111).

[0021] The 5th production process: By dummy oxidation accompanied by 1000 degrees C in the drawing 2 (A) reference oxygen ambient atmosphere, and heat treatment of 1 hour, form an oxide-film layer in the silicon surface of the trench 26 interior, and remove this. This removes the defective layer on the surface of silicon accompanying trench 26 formation. Then, gate oxide 29 is formed in the interior of a trench 26 by performing 1100 degrees C in a dry oxidation ambient atmosphere, and thermal oxidation of 1 hour. The thickness of gate oxide 27 is 400-800A. In addition, an oxide film covers also like the surface of the channel layer 22.

[0022] The 6th production process: Embed the interior of a trench 26 with polycrystalline silicon by putting refer to drawing 2 (B), next a polycrystalline silicon layer on the whole surface with a CVD method. And Lyrn or boron is doped on a polycrystalline silicon film, and a polycrystalline silicon film is conductive-layer-ized. Next, etchback of the polycrystalline silicon is carried out, for example by isotropic vapor etching. And by suspending etching of polycrystalline silicon in the phase which silicon oxide exposed, the gate electrode 30 embedded in the trench 26 is formed.

[0023] The 7th production process: Form refer to drawing 2 (C), next the contact field 31 of P+ mold. This is formed by forming the opening of a resist mask in the portion used as the contact field 31 according to the production process of phot lithography, for example, carrying out the ion implantation of the boron. Next, the source field 32 of N+ mold is formed by forming the opening of a resist mask in the portion which serves as a source layer according to the production process of phot lithography again, for example, carrying out the ion implantation of the arsenic (As). Since this source field 32 is formed of an ion implantation by using as a mask the upper limit section of the gate electrode 30 embedded at the trench 26, a diffusion layer is formed by the self aryne to a gate electrode. Next, insulator layers, such as NSG/BPSG, are put all over a substrate, a opening is prepared by etching the insulator layer so that the source field 32 and the contact field 31 on the surface of a substrate may be exposed according to the production process of phot lithography, and an insulating layer 33 is formed. Opening of an insulating layer 33 serves as a contact hole 34.

[0024] The 8th production process: With refer to drawing 3 and sputtering, or vacuum deposition, put metallic materials, such as aluminum, all over a substrate, and form the source electrode 35 all over an MOSFET cel field portion by photoetching and carrying out an alloy. Furthermore, the vertical mold MOSFET

of a wafer phase is completed by putting a passivation film all over a chip, and forming a drain electrode (not shown) in the rear-face side of the semiconductor substrate 21. In addition, after forming the channel field 22 and the source field 32, the sequence which forms a trench 26 is sufficient.

[0025] Drawing 3 (A) shows the pattern of the cel of the semiconductor device obtained by this manufacture method. Each channel field 22 divided with the trench 26 possesses the configuration of six square shapes respectively. Thus, the field divided by the semiconductor layer surface 27 of the configuration of the channel layer 22 or the trench 26 side is called a "unit cell." Each unit cell has the same configuration and magnitude mutually, and it is arranged in all directions so that each side of six square shapes may adjoin each other in parallel mutually. The angles theta of six angles are less than ten 120-degree double signs respectively, and, as for six square shapes of each unit cell, it is desirable that they are positive six square shapes whose theta is 120 degrees preferably. Thus, when it is positive six square shapes, as for the line which connects the center and center of a unit cell, the neighboring length serves as the equilateral triangle 40 of a. A trench 26 encloses the perimeter of each unit cell continuously with the fixed line breadth b. It is the pattern of a honeycomb configuration like a "swage block" or a "tortoise shell" as a whole. And the source field 32 has the annular configuration of fixed line breadth where the configuration of a unit cell was met, and the contact field 31 exposes it to a part for the core of the source field 32. The source electrode 35 is in contact with both the contact field 31 and the source field 32. Thus, the MOSFET element is constituted by carrying out parallel connection of many unit cells.

[0026] Drawing 3 (B) shows the cross-section structure of the semiconductor device obtained by this manufacture method. It is formed in the depth to which many trenches 26 reach the silicon semiconductor substrate 21 which has the P type channel layer 22 on the surface, and has N+ type layer 21a and N type layer 21b in the lower part at N type layer 21b exceeding the P type channel layer 22. Gate oxide 29 is formed in the surface of the trench 26 of thermal oxidation, and, as for the interior, the gate electrode 30 is laid further underground. The gate electrode 30 laid under the trench 26 interior is connected to the electrode pad which can impress gate potential from the exterior in the part which is not illustrated. The insulating layer 33 prepared on the gate electrode 30 is carrying out insulating separation of the gate electrode 30 and the source electrode 35. By adding electric field to the gate electrode 30, this trench mold MOSFET forms the inversion layer of N type along with the trench 26 in the channel layer 22 of P type, and forms a current path between the N type layers 21a and 21b and the source fields 32 of N+ mold used as a drain.

[0027] Formation of gate oxide 29 is performed by thermal oxidation of silicon in the above manufacture method: It depends for the growth rate of the oxide film in thermal oxidation on the crystal face greatly.

[0028] For example, it is as follows when the growth rate of a thermal oxidation film is compared on condition that 1000 degrees C and dry oxidation in each crystal face.

[0029] (111)>(110)>(311)>(511)>(100)

That is, as compared with a field (110), the growth rate of a field (111) is somewhat quick. The difference of this growth rate is reversed by low warm temperature processing of 800 degrees C or less.

[0030] Therefore, the thing for which the crystal face of the semiconductor layer surface 27 of the trench 26 side is constituted from (110), and the crystal face of the semiconductor layer surface 28 of trench 32 base is constituted from a field (111). Furthermore, 900 degrees C or more are performing elevated-temperature heat treatment of 1000 degrees C or more preferably as formation conditions for gate oxide. The oxide-film thickness t2 (refer to drawing 2 (A)) of the portion pinched by the gate electrode 30 and N type layer 21b rather than the oxide-film thickness t1 (refer to drawing 2 (A)) of the portion pinched in the gate electrode 30 and the channel field 22 can be formed thickly about 10%. It can reconcile decreasing the resisting pressure Vgd between the gate drains determined that oxide-film thickness t1 is made thin, and it will increase the current drive capacity of an MOSFET element by this by the oxide-film thickness t2, and the capacity Cgd between gate drains.

[0031] in addition, ** -- the configuration where the radius of circle was tintured with the configuration of the portion 41 (refer to drawing 1 (D)) touching, the portion 56, i.e., the source layer, of a shoulder of a trench 26, is processible by adding elevated-temperature heat treatment [like]. Therefore, covering nature, such as oxide films 29 and 22, improves. In addition, even when replacing with silicon oxide SiO2 and using the laminated structure of the silicon nitride SiN, and an oxide film and a nitride, the difference of thickness can be acquired similarly.

[0032] Drawing 4 shows the semiconductor wafer 42 of field bearing (111) used with an actual semiconductor device. The field (111) is exposed to the surface and this wafer 42 forms many semiconductor chips in this surface. The MOSFET element which consists of a pattern shown in drawing 3 (A) is formed in the surface of each semiconductor chip. Although the orientation flat OF considered as crystal orientation <110>, it is good also in the other bearings. In addition, field bearing (111) means an intersection and the crystal face which similarly crosses a z-axis= <001> shaft at 1 as a x-axis= <100> shaft by 1 an intersection, a y-axis= <010> shaft, and 1.

[0033] And a pattern 50 is formed by arrangement arrangement and each sides 51-56 of the unit-cell pattern 50 of six square shapes cross at right angles to crystal orientation <110>. It enables this to constitute the crystal face of the six semiconductor layer surfaces 27 divided with a trench 26 from the crystal face [all (110)] (mirror side). In addition, that the crystal face of the six surfaces 27 is mutually equal means that mobility of the electron in that thickness t1 of gate oxide 29 is equalized, and a threshold Vt can be equalized and silicon, interface state density, etc. can be equalized. Therefore, channel current can be equally passed to all the 6th page by using the unit-cell pattern 50 of six square shapes.

[0034] In addition, the cel density per unit area can be sharply improved by having arranged the cel of six

square shapes to Mr. **. Since the synthetic length of gate width GW also increases sharply in connection with this, the current capacity per unit area can be increased. Specifically, it became possible to integrate tens of thousands of - hundreds of thousands of unit cells to the same chip size (for example, 1.0mmx1.0mm) as the former. Therefore, the MOSFET equipment of high power or the small MOSFET equipment of on resistance $R_{ds(on)}$ can be obtained.

[0035] The gestalt of operation of the 2nd of this invention was shown in gestalt drawing 5 of the 2nd operation. The gestalt which are six square shapes to which six square shapes of the pattern 50 of a unit cell lengthened distance of the distance x of a drawing longitudinal direction to the distance of the drawing lengthwise direction y instead of positive six square shapes is shown. In this case, the triangle 40 which connects the center and center of a pattern 50 turns into two equilateral triangles, and the distance c of the two sides is the equal distance. The triangular distance a is equal to the distance a of drawing 3. The side of a pattern 50 is parallel to the side of the next pattern 50, and the distance b is fixed. A field (110) can be exposed to all the 6th page also in this configuration. The manufacture method applies to the production process shown in drawing 1 thru/or drawing 3 correspondingly.

[0036] Gestalt drawing 6 of the 3rd operation shows the example which applied this invention to IGBT (Insulate Gate Bipolar Transistor). The configuration of a cel is applicable in both of the examples, drawing 3 and drawing 5. Form the N+ layer 71 and the N type layer 72 on the P type substrate 70, and the P type channel layer 73 is formed in the N type layer 72 surface. The trench 74 which reaches the N type layer 72 from the surface of the channel layer 73 is formed. Form gate oxide 75 and the gate electrode 76 in the trench 74 interior, and annular N+ source layer 77 is formed in the channel layer 73 surface. Furthermore, P+ contact field 78 is formed in the channel layer 73 surface, and the metal electrodes 79, such as aluminum, are contacting the source field and P+ contact field electrically.

[0037] This element is constituted so that it may supply as base current of the PNP transistor which forms this channel current with the P type channel layer 73, the N/N+ layers 71 and 72, and the P+ substrate 70, while forming a channel in the channel layer 73 of the trench 74 side and passing channel current from the source layer 77 to the N type layer 72 with the voltage impressed to the gate electrode 76. Since conductivity modulation arises in said PNP transistor, this IGBT can reduce on resistance rather than an MOSFET element. The relation of the crystal face of the semiconductor layer surface 27 of the side and the semiconductor layer surface 28 at the bottom and the pattern of a unit cell are equal to the gestalt of the 1st or the 2nd operation.

[0038] Gestalt drawing 7 of the 4th operation shows trench mold MOSFET equipment when the semiconductor layer surface 27 of the trench 26 side is curving. The configurations of a trench 26 and a unit cell are equal to drawing 3, and the trench 26 has the configuration of a V character mold. In this case, although a field is not exposed to the semiconductor layer surface 27 of the side (110), since the field where a growth rate is the highest (111) can be exposed on the semiconductor layer surface 28 at the bottom, compared with the thickness t1 of the gate oxide 29 of channel field 22 portion, the thickness t2 of the gate oxide 29 of an N type layer 21b portion can be formed thickly. Since other parts are the same as that of the configuration of drawing 3, explanation is omitted.

[0039] what was explained above is only the gestalt of some operations of this invention, and the semiconductor device which controls channel current by gate potentials, such as for example, an electrostatic-induction thyristor (SITH), a gate turn-off thyristor (GTO), and an MOS control thyristor (MCT), comes out not to mention the ability to consider the gestalt of the operation which versatility deformed, without deviating from the meaning of this invention. Moreover, the combination of the pattern of drawing 5 and the gestalt of operation of drawing 6 and the combination of the pattern of drawing 5 and the gestalt of operation of drawing 7 are also easily applicable.

[0040]

[Effect of the Invention] As explained above, since this invention can form thickness t2 thickly to thickness t1 by choosing the crystal face of the semiconductor layer surface 27 of the side, and the crystal face of the semiconductor layer surface 28 at the bottom, it has an advantage compatible in improvement in the drive capacity of an element, increase of resisting pressure Vdg, and reduction of capacity Cdg.

[0041] Moreover, forming the difference of thickness by using the pattern of six square shapes shown in drawing 3, high density integration of a unit cell is realized and it has the advantage which can obtain the element of high power. Furthermore, it also has the advantage which can form the thickness t1 of six fields in homogeneity with the combination of a substrate (111) and the crystal face (110).

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a cross section for explaining the manufacture method of this invention.

[Drawing 2] It is a cross section for explaining the manufacture method of this invention.

[Drawing 3] They are the (A) plan for explaining the manufacture method of this invention, and the (B) cross section.

[Drawing 4] It is a plan for explaining this invention.

[Drawing 5] It is a plan for explaining the gestalt of operation of the 2nd of this invention.

[Drawing 6] It is a cross section for explaining the gestalt of operation of the 3rd of this invention.

[Drawing 7] It is a cross section for explaining the gestalt of operation of the 4th of this invention.

[Drawing 8] It is a cross section for explaining the conventional example.

[Drawing 9] It is a cross section for explaining the conventional example.

[Drawing 10] It is a perspective diagram for explaining the conventional example.

[Description of Notations]

22 Channel Field

26 Trench

27 Semiconductor Layer Surface of Side

28 Semiconductor Layer Surface at the Bottom

29 Gate Oxide

30 Gate Electrode

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-119023
(P2001-119023A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テーマコード(参考)

6 5 2 K

6 5 2 T

6 5 3 A

6 5 5 A

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願平11-298638

(22) 出願日 平成11年10月20日 (1999.10.20)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 久保 博稔

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(72) 発明者 重田 典博

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(72) 発明者 桑子 栄一郎

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(74) 代理人 100111383

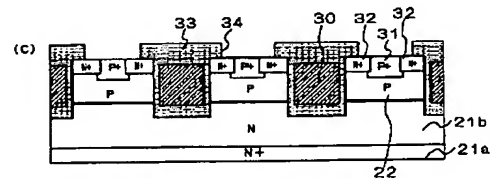
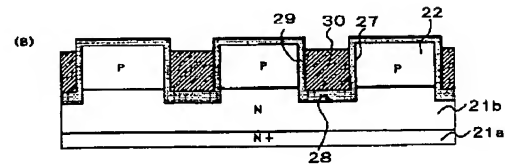
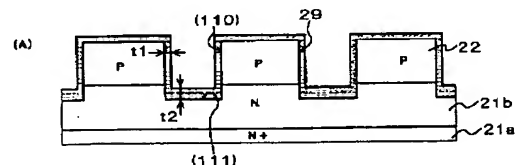
弁理士 芝野 正雅

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 トレンチ表面に露出する結晶面を選択することにより、チャネル領域部分の酸化膜の膜厚 t_1 よりもドレイン部分の酸化膜の膜厚 t_2 を厚くした半導体装置及びその製造方法を得る。

【解決手段】 面方位 (111) の半導体ウェハを準備する。その表面にトレンチ 26 を形成する。該トレンチ 26 で区画した半導体層 (チャネル領域 22) は六角形の単位セルパターンを構成する。該単位セルを多数並列接続して MOSFET 素子を構成する。側面の半導体層表面 27 は (110) 面が露出し、底面の半導体層表面 28 には (111) 面が露出する。両シリコン表面 27、28 を高温熱処理することによってゲート酸化膜 29 を形成する。結晶面によって成長レートが異なるので、膜厚 t_1 よりも膜厚 t_2 を厚く形成できる。



22 チャネル領域
26 トレンチ
27 側面の半導体層表面
28 底面の半導体層表面
29 ゲート酸化膜
30 ゲート電極

【特許請求の範囲】

【請求項1】 半導体層に、側面と底面とを有するトレンチを形成し、前記側面の半導体層表面と前記底面の半導体層表面に絶縁膜を形成した半導体装置であって、前記側面の半導体層表面の絶縁膜の成長レートに対して、前記底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とする半導体装置。

【請求項2】 前記絶縁膜がシリコン酸化膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記側面の結晶面が(110)もしくはその近傍であり、前記底面の結晶面が(111)もしくはその近傍であることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記トレンチ内部にゲート電極を具備する事を特徴とする請求項1、2、3のいずれかに記載の半導体装置。

【請求項5】 前記ゲート電極と前記側面の絶縁膜及び前記側面の半導体層とで絶縁ゲート型半導体素子を形成したことを特徴とする請求項4に記載の半導体装置。

【請求項6】 半導体層に、側面と底面とを有するトレンチを形成する工程と、前記側面の半導体層表面と前記底面の半導体層表面に絶縁膜を形成する工程とを具備する半導体装置の製造方法において、前記トレンチ側面の半導体層の絶縁膜の成長レートに対して、前記トレンチ底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とする半導体装置の製造方法。

【請求項7】 前記絶縁膜がシリコン酸化膜であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記側面の結晶面が(110)もしくはその近傍であり、前記底面の結晶面が(111)もしくはその近傍であることを特徴とする請求項6または請求項7記載の半導体装置の製造方法。

【請求項9】 前記絶縁膜を形成する工程が、900℃以上の熱酸化であることを特徴とする請求項6、7、8のいずれかに記載の半導体装置の製造方法。

【請求項10】 一導電型の半導体層の表面に、逆導電型のチャネル領域を形成する工程と、前記半導体層表面に、側面と底面とを有するトレンチを形成する工程と、前記側面の半導体層表面と前記底面の半導体層表面にゲート絶縁膜を形成する工程と前記トレンチ内部にゲート電極を形成する工程と、前記チャネル領域表面に逆導電型のソース領域を形成する工程と、を具備する半導体装置の製造方法において、前記側面の半導体層の絶縁膜の成長レートに対して、前記底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とする半

導体装置の製造方法。

【請求項11】 前記絶縁膜がシリコン酸化膜であることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記側面の結晶面が(110)もしくはその近傍であり、前記底面の結晶面が(111)もしくはその近傍であることを特徴とする請求項10または請求項11記載の半導体装置の製造方法。

【請求項13】 前記絶縁膜を形成する工程が、900℃以上の熱酸化であることを特徴とする請求項10、11、12のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は縦型MOSFET装置などの半導体装置に関し、特にトレンチ構造を有する半導体装置に関する。

【0002】

【従来の技術】最近の縦型MOSFETにおいては、構造的に低オン抵抗特性が得やすいことから、トレンチ溝内にゲート電極を埋め込んだ構造のいわゆるトレンチ型が注目されている。このようなトレンチ型構造を有する縦型MOSFETは、例えば特開平4-146674号公報、特開平5-335582号公報などにその構造及び製造工程の概略が開示されている。

【0003】このような縦型MOSFETの製造方法の一例を、図8乃至図9を用いて説明する。

【0004】第1工程：図8(A)参照

N+型半導体層11aとN型半導体層11bとを有する半導体基板11の表面に、P型の不純物を拡散してチャネル領域12を形成する。半導体層11a、11bは共通のドレイン層となる。

【0005】第2工程：図8(B)参照

基板11表面から異方性ドライエッチングによってトレンチ13を形成する。トレンチ13はチャネル領域12を貫通してN型半導体層11bに達する。半導体基板11全体を熱処理して、トレンチ13の側面と底面の半導体層表面に膜厚が800Å程度のゲート酸化膜14を形成する。

【0006】第3工程：図8(C)参照

全面にポリシリコン層を形成し、これをエッチバックすることにより、トレンチ13の内部を埋設するゲート電極15を形成する。

【0007】第4工程：図9(A)参照

チャネル領域12表面にN+ソース領域16とP+コンタクト領域17を形成し、更にゲート電極15の上に絶縁膜18を形成する。

【0008】第5工程：図9(B)参照

そして、ソース領域16とコンタクト領域17の両方にコンタクトするソース電極19を形成する。

【0009】係る構造の縦型MOSFETにおいては、

ゲート電極15に所定のしきい値以上の電圧を与えることにより、P型のチャネル領域12内のトレンチ13に沿ってN型の反転層（チャネル）を形成し、N型半導体層11bとN+型のソース領域16との間に電流路を形成する。これにより縦型MOSFETのソース・ドレイン間がオン状態となる。逆にゲート電極15の電圧をしきい値以下とすることで、チャネル領域12のN型の反転層がなくなり、縦型MOSFETのソース・ドレイン間がオフ状態となる。係る縦型MOSFETによれば、プレーナ型の縦型MOSFETに特有の接合型FET効果がないことから、そのオン抵抗を小さくできるという利点が生じる。

【0010】以上の製造方法において、第2工程で形成されるゲート酸化膜14は、MOSFET素子のしきい値を決定する重要な要素である。このしきい値は、主としてチャネル領域12とゲート電極15とで挟まれた部分のゲート酸化膜15の膜厚 t_1 （図8（B）参照）で決定され、その膜厚が薄いほど、素子の電流駆動能力を向上できる。一方、トレンチ13の底面におけるゲート酸化膜14の膜厚 t_2 は、この素子のゲート・ドレイン間耐圧 V_{dg} を決定する。この膜厚 t_2 が厚い程、ゲート・ドレイン間耐圧 V_{dg} を増大できる。また、膜厚 t_2 は素子のゲート・ドレイン間容量 C_{dg} を決定する要素でもある。

【0011】ところで、半導体業界では面方位（100）の半導体基板11が多用されている。面方位は、面が座標軸と交わった座標値の逆数で定義するので、面方位（100）とは、x軸＝（100）軸と「1」で交わりy、z軸とは無限大で交わる、即ち交わらない結晶面を意味する。

【0012】図10は、この様な（100）基板にトレンチ型MOSFET素子を形成した場合の状態を示す斜視図である。トレンチ13が矩形状のチャネル領域12の周囲を格子状に連続して取り囲んでいる。チャネル領域12が正方形のような矩形で且つその形状が結晶面の方位に一致した場合、トレンチ13の側面と底面に露出する半導体層の結晶面は、共に（100）若しくはその近傍の結晶面（等価面）となる。この様に等価面であれば、熱酸化によるシリコン酸化膜の成長レートが同じであるので、ゲート酸化膜14（図8（B）参照）の膜厚 t_1 と t_2 は、同じ膜厚となる。

【0013】

【発明が解決しようとする課題】しかしながら、素子の低しきい値化と大電流化を求めるには膜厚 t_1 を薄くしたい要求があるのに対し、素子のゲート・ドレイン間耐圧 V_{dg} を大きく且つゲート・ドレイン間容量 C_{dg} を小さくするためには、膜厚 t_2 を厚くしたいという相反する要求がある。これらは相反する要求ではあるが、例えばゲート酸化膜14のピンホールなどに起因する耐圧不良の方が致命的な不良であるため、結局は膜厚 t_2 を

優先した設計によって、素子の高性能化を阻害すると言う欠点があった。

【0014】

【課題を解決するための手段】本発明は上述した従来の欠点に鑑みなされたもので、半導体層に、側面と底面とを有するトレンチを形成し、前記側面の半導体層表面と前記底面の半導体層表面に絶縁膜を形成した半導体装置であって、前記側面の半導体層表面の絶縁膜の成長レートに対して、前記底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とするものである。

【0015】

【発明の実施の形態】以下、本発明の一実施の形態を、図面を参照して説明する。

【0016】第1の実施の形態

第1工程：図1（A）参照

先ず、N+型層21aとN型層21bを具備するシリコン半導体基板21を準備する。基板21の一面側にN型層21bが、裏面側にN+型層21aが位置する。N型層21bは例えばエピタキシャル成長法によって形成したものである。基板21は面方位が（111）若しくはその近傍の結晶面が選択されており、N型層21aの表面の結晶面も（111）となる。

【0017】第2工程：図1（B）参照

MOSFET素子を形成すべき領域に、N型半導体基板21の表面からボロンなどのP型の不純物を選択的に熱拡散して、P型のチャネル領域22を形成する。23はシリコン酸化膜である。

【0018】第3工程：図1（C）参照

シリコン酸化膜23の上にホトレジスト膜24を形成する。ホトレジスト膜24を露光、現像して、複数の開口部25を形成する。この開口部25によってシリコン酸化膜23を選択的に除去し、シリコン表面を部分的に露出する。

【0019】第4工程：図1（D）参照

ホトレジスト膜24を除去した後、シリコン酸化膜25の開口部に従ってシリコン表面を選択的にエッチングし、トレンチ26を形成する。エッチングは、例えばAMJ社のドライエッチング装置P-5000を用い、エッチングガスとしてはHBr、NF₃、He+O₂を使用する。このエッチングは基板21に対して垂直方向にエッチングが進行する様な、異方性のエッチングとする。トレンチ26はP型チャネル領域22を貫通し、N型層21aに達する。

【0020】この工程において、基板21の面方位を（111）とした場合には、トレンチ26側面の半導体層表面27は（110）若しくはその近傍の結晶面を露出することができる。また、トレンチ26底面の半導体層表面28には（111）若しくはその近傍の結晶面が露出する。

【0021】第5工程：図2（A）参照

酸素雰囲気中における1000℃、1時間の熱処理を伴うダミー酸化により、トレンチ26内部のシリコン表面に酸化膜層を形成し、これを除去する。これによりトレンチ26形成に伴うシリコン表面の欠陥層を除去する。その後、ドライ酸化雰囲気中における1100℃、1時間の熱酸化を行うことで、トレンチ26の内部にゲート酸化膜29を形成する。ゲート酸化膜27の膜厚は400～800Åである。尚、チャネル層22の表面にも同様に酸化膜が被着する。

【0022】第6工程：図2（B）参照

次に、多結晶シリコン層をCVD法により全面に被着することで、トレンチ26の内部を多結晶シリコンで埋め込む。そして、多結晶シリコン膜にリン又はボロンをドーピングし、多結晶シリコン膜を導電層化する。次に例えば等方性のガスエッチングにより、多結晶シリコンをエッチバックする。そしてシリコン酸化膜が露出した段階で多結晶シリコンのエッチングを停止することで、トレンチ26内に埋め込まれたゲート電極30を形成する。

【0023】第7工程：図2（C）参照

次に、P+型のコンタクト領域31を形成する。これはコンタクト領域31となる部分にホトリソグラフィの工程によりレジストマスクの開口を形成し、例えばボロンをイオン注入することにより形成する。次に再びホトリソグラフィの工程によりソース層となる部分にレジストマスクの開口を形成し、例えば砒素（As）をイオン注入することでN+型のソース領域32を形成する。このソース領域32は、トレンチ26に埋め込まれたゲート電極30の上端部をマスクとしてイオン注入により形成されるので、ゲート電極に対してセルフアラインで拡散層が形成される。次にNSG/BPSG等の絶縁膜を基板全面に被着し、ホトリソグラフィの工程により基板表面のソース領域32及びコンタクト領域31を露出するようにその絶縁膜をエッチングすることで開口を設け、絶縁層33を形成する。絶縁層33の開口部はコンタクトホール34となる。

【0024】第8工程：図3参照

そして、スパッタリング又は蒸着法によって、アルミ等の金属材料を基板の全面に被着し、ホトエッチング、アロイすることで、MOSFETセル領域部分の全面にソース電極35を形成する。更にチップ全面にパッシベーション膜を被着し、又、半導体基板21の裏面側にドレイン電極（図示せず）を形成することで、ウェハ段階の縦型MOSFETが完成する。尚、チャネル領域22とソース領域32を形成した後にトレンチ26を形成する順番でもかまわない。

【0025】図3（A）は、斯かる製造方法によって得られた半導体装置のセルのパターンを示している。トレンチ26によって区画された各チャネル領域22は各々六角形の形状を具備する。この様にチャネル層22の形

状若しくはトレンチ26側面の半導体層表面27によって区画される領域を、「単位セル」と称する。各単位セルは、互いに同じ形状と大きさを持ち、六角形の各辺が互いに平行に隣り合うように、縦横に配置される。各単位セルの六角形は、6つの角の角度 θ が各々120度プラスマイナス10度以内であり、好ましくは θ が120度の正六角形であることが望ましい。この様に正六角形である場合、単位セルの中心と中心とを結ぶ線は、辺の長さが a の正三角形40となる。トレンチ26は一定線幅 b で連続し、各単位セルの周囲を取り囲む。全体として「蜂の巣」または「亀甲」のようなハニカム形状のパターンである。そして、ソース領域32は単位セルの形状に沿った一定線幅の環状の形状を持ち、ソース領域32の中心部分にコンタクト領域31が露出する。ソース電極35は、コンタクト領域31とソース領域32との両方にコンタクトしている。この様に単位セルを多数並列接続することにより、MOSFET素子を構成している。

【0026】図3（B）は、斯かる製造方法によって得られた半導体装置の断面構造を示している。表面にP型チャネル層22を有し、その下部にN+型層21a、N型層21bとを有するシリコン半導体基板21に、多数のトレンチ26がP型チャネル層22を超えてN型層21bに達する深さに形成されている。そのトレンチ26の表面には熱酸化によりゲート酸化膜29が形成され、更にその内部はゲート電極30が埋設されている。トレンチ26内部に埋設されたゲート電極30は、図示せぬ箇所からゲート電位を印加可能な電極パッドに接続される。ゲート電極30の上に設けた絶縁層33が、ゲート電極30とソース電極35とを絶縁分離している。このトレンチ型MOSFETは、ゲート電極30に電界を加えることにより、P型のチャネル層22内のトレンチ26に沿ってN型の反転層を形成し、ドレインとなるN型層21a、21bとN+型のソース領域32との間に電流路を形成する。

【0027】以上の製造方法に於いて、ゲート酸化膜29の形成はシリコンの熱酸化によって行われる。熱酸化における酸化膜の成長レートは、結晶面に大きく依存する。

【0028】例えば1000℃、ドライ酸化の条件で熱酸化膜の成長レートを各結晶面で比較すると、以下のようになる。

【0029】 $(111) > (110) > (311) > (511) > (100)$

即ち、 (110) 面に比較して、 (111) 面の成長レートが少し速いのである。この成長レートの差は、800℃以下の低温熱処理では逆転する。

【0030】従って、トレンチ26側面の半導体層表面27の結晶面を (110) で構成し、トレンチ32底面の半導体層表面28の結晶面を (111) 面で構成する

こと、更に、ゲート酸化膜の形成条件として900℃以上、好ましくは1000℃以上の高温熱処理を行うことで、ゲート電極30とチャネル領域22とで挟まれた部分の酸化膜厚 t_1 (図2(A)参照)よりもゲート電極30とN型層21bとで挟まれた部分の酸化膜厚 t_2 (図2(A)参照)を約10%程度厚く形成する事ができる。このことにより、酸化膜厚 t_1 を薄くしてMOSFET素子の電流駆動能力を増大することと、酸化膜厚 t_2 によって決定されるゲート・ドレイン間の耐圧 V_{gd} およびゲート・ドレイン間の容量 C_{gd} を減少することとを、両立させることができる。

【0031】加えて、斯様な高温熱処理を加えることにより、トレンチ26の肩の部分、即ちソース層56に接する部分41 (図1(D)参照)の形状を丸みの帯びた形状に加工できる。よって、酸化膜29、22などの被覆性が向上する。尚、シリコン酸化膜 SiO_2 に代えて、シリコン窒化膜 SiN や、酸化膜と窒化膜との積層構造を用いる場合でも、同様に膜厚の差を得ることが出来る。

【0032】図4は、実際の半導体装置で用いる面方位(111)の半導体ウェハ42を示している。このウェハ42は、表面に(111)面が露出しており、該表面に多数の半導体チップを形成するものである。各半導体チップの表面には図3(A)に示したパターンからなるMOSFET素子が形成される。オリエンテーションフラットOFは結晶方位<110>としたが、その他の方位でも良い。尚、面方位(111)とは、x軸=<100>軸と1で交わり、y軸=<010>軸と1で交わり、同じくz軸=<001>軸と1で交わる結晶面を意味する。

【0033】そして、六角形の単位セルパターン50の各辺51~56が結晶方位<110>に対して直交するような配置で、パターン50を形成する。これにより、トレンチ26で区画される6つの半導体層表面27の結晶面を、全て(110)の結晶面(ミラー面)で構成することが可能になる。尚、6つの表面27の結晶面が互いに均等であることは、ゲート酸化膜29の膜厚 t_1 を均等にしてしきい値 V_t を均等に出来ること、そしてシリコン中における電子の移動度、界面準位等を均等に出来ることを意味する。従って、六角形の単位セルパターン50を利用することにより、6面全てに均等にチャネル電流を流すことが出来る。

【0034】加えて、斯様に六角形のセルを配置したことにより、単位面積あたりのセル密度を大幅に向上できる。これに伴ってゲート幅GWの総合的な長さも大幅に増大するので、単位面積あたりの電流容量を増大できる。具体的には、従来と同じチップサイズ(例えば1.0mm×1.0mm)に、数万個~数十万個の単位セルを集積化することが可能になった。よって高出力のMOSFET装置、またはオン抵抗 $R_{ds(on)}$ の小さい

MOSFET装置を得ることが出来る。

【0035】第2の実施の形態

図5に、本発明の第2の実施の形態を示した。単位セルのパターン50の六角形が正六角形ではなく図面縦方向yの距離に対して図面横方向の距離xの距離を長くした六角形である形態を示している。この場合、パターン50の中心と中心とを結ぶ三角形40は2等辺三角形となり、2つの辺の距離cは等距離である。三角形の距離aは図3の距離aに等しい。パターン50の辺は、隣のパターン50の辺と平行であり、その距離bは一定である。斯かる形状に於いても、その6面全てに(110)面を露出することが出来る。製造方法は、図1乃至図3に示した工程に準じる。

【0036】第3の実施の形態

図6は、本発明をIGBT(Insulate Gate Bipolar Transistor)に適用した例を示している。セルの形状は図3、図5のどちらの例でも適用が可能である。P型基板70の上にN+層71とN型層72を形成し、N型層72表面にP型チャネル層73を形成し、チャネル層73の表面からN型層72に達するトレンチ74を形成し、トレンチ74内部にゲート酸化膜75とゲート電極76を形成し、チャネル層73表面に環状のN+ソース層77を形成し、更にチャネル層73表面にP+コンタクト領域78を形成し、ソース領域とP+コンタクト領域にアルミなどの金属電極79が電気接触している。

【0037】この素子は、ゲート電極76に印加した電圧によってトレンチ74側面のチャネル層73にチャネルを形成し、ソース層77からN型層72へチャネル電流を流すと共に、該チャネル電流をP型チャネル層73、N/N+層71、72、及びP+基板70とで形成するPNPトランジスタのベース電流として供給するように構成したものである。該IGBTは、前記PNPトランジスタで伝導度変調が生じるので、MOSFET素子よりもオン抵抗を減じることが出来る。側面の半導体層表面27と底面の半導体層表面28との結晶面の関係、及び単位セルのパターンは第1または第2の実施の形態に等しい。

【0038】第4の実施の形態

図7は、トレンチ26側面の半導体層表面27が湾曲している場合の、トレンチ型MOSFET装置を示している。トレンチ26と単位セルの形状は図3に等しく、トレンチ26がV字型の形状を持っている。この場合、側面の半導体層表面27には(110)面が露出するものではないが、底面の半導体層表面28に成長レートが最も高い(111)面を露出させることが出来るので、チャネル領域22部分のゲート酸化膜29の膜厚 t_1 に比べて、N型層21b部分のゲート酸化膜29の膜厚 t_2 を厚く形成できる。他の箇所は図3の構成と同一であるので説明を省略する。

【0039】以上に説明したのは本発明のいくつかの実

施の形態に過ぎないものであり、本発明の趣旨を逸脱することなく、このほかにも例えば静電誘導サイリスタ（SITH）、ゲートターンオフサイリスタ（GTO）、及びMOS制御サイリスタ（MCT）等の、ゲート電位によってチャネル電流を制御する半導体素子等、種々の変形した実施の形態が考えられることは勿論のことである。また、図5のパターンと図6の実施の形態との組み合わせ、図5のパターンと図7の実施の形態との組み合わせも容易に適用できるものである。

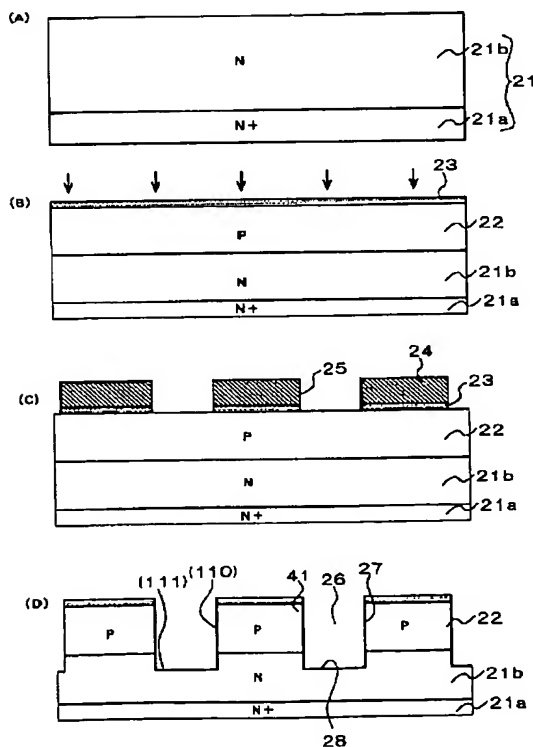
【0040】

【発明の効果】以上に説明したように本発明は、側面の半導体層表面27の結晶面と底面の半導体層表面28の結晶面とを選択することにより、膜厚 t_1 に対して膜厚 t_2 を厚く形成できるので、素子の駆動能力の向上と、耐圧 V_{dg} の増大及び容量 C_{dg} の低減を両立できる利点を有する。

【0041】また、図3に示した六角形のパターンを用いることにより、膜厚の差を形成しながら、単位セルの高密度集積化を実現して、高出力の素子を得ることが出来る利点を有する。更には、（111）基板と（110）結晶面との組み合わせにより、6つの面の膜厚 t_1 を均一に形成できる利点をも有する。

【図面の簡単な説明】

【図1】



*【図1】本発明の製造方法を説明するための断面図である。

【図2】本発明の製造方法を説明するための断面図である。

【図3】本発明の製造方法を説明するための（A）平面図、（B）断面図である。

【図4】本発明を説明するための平面図である。

【図5】本発明の第2の実施の形態を説明するための平面図である。

10 【図6】本発明の第3の実施の形態を説明するための断面図である。

【図7】本発明の第4の実施の形態を説明するための断面図である。

【図8】従来例を説明するための断面図である。

【図9】従来例を説明するための断面図である。

【図10】従来例を説明するための斜視図である。

【符号の説明】

22 チャネル領域

26 トレンチ

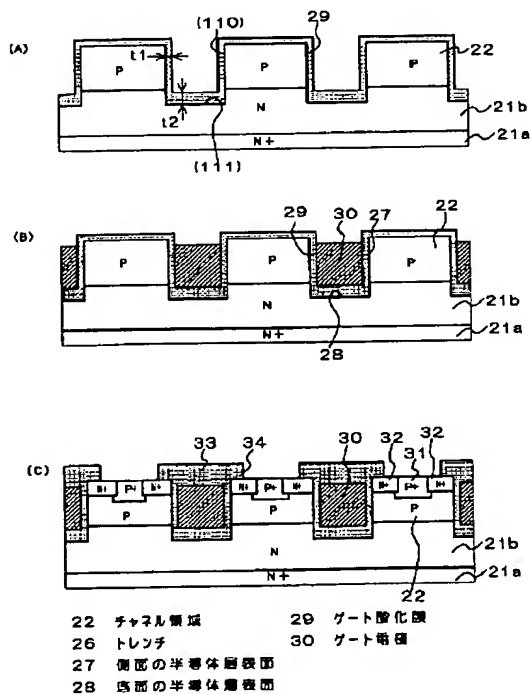
27 側面の半導体層表面

28 底面の半導体層表面

29 ゲート酸化膜

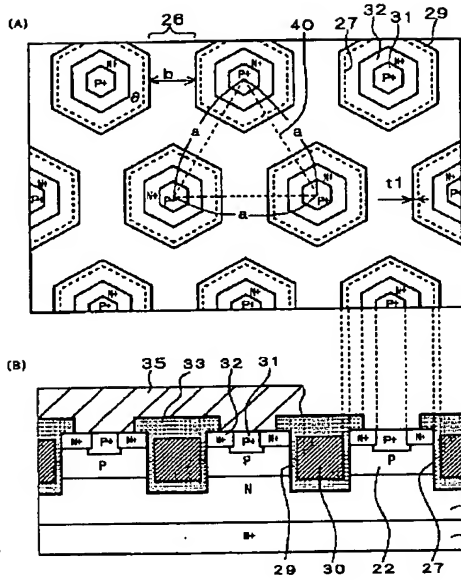
30 ゲート電極

【図2】

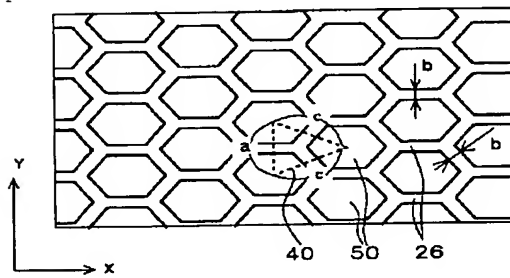


22 チャネル領域
26 トレンチ
27 側面の半導体層表面
28 底面の半導体層表面
29 ゲート酸化膜
30 ゲート電極

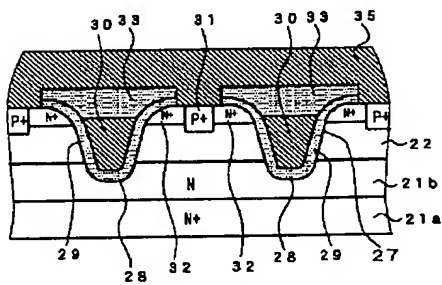
【図3】



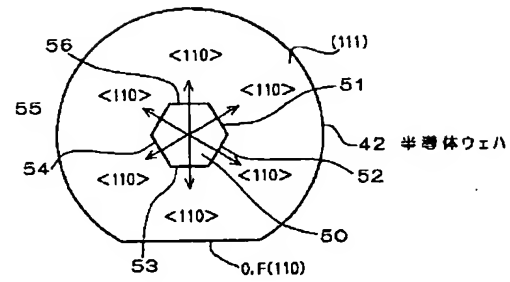
【図5】



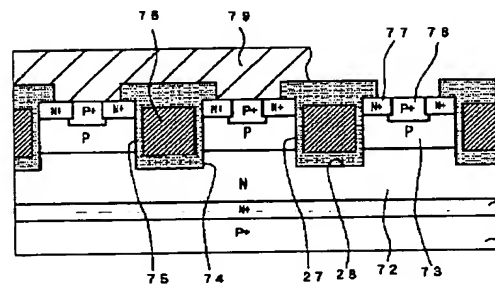
【図7】



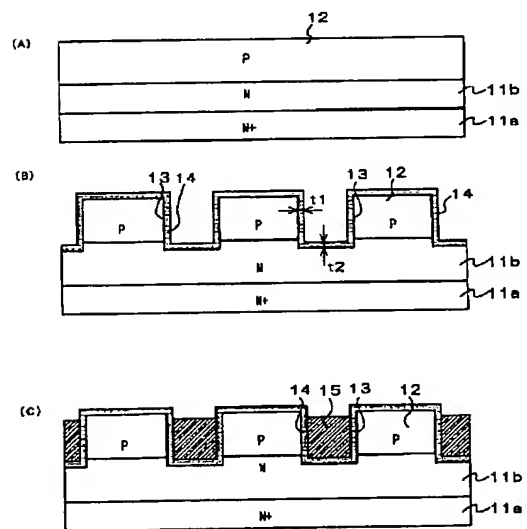
【図4】



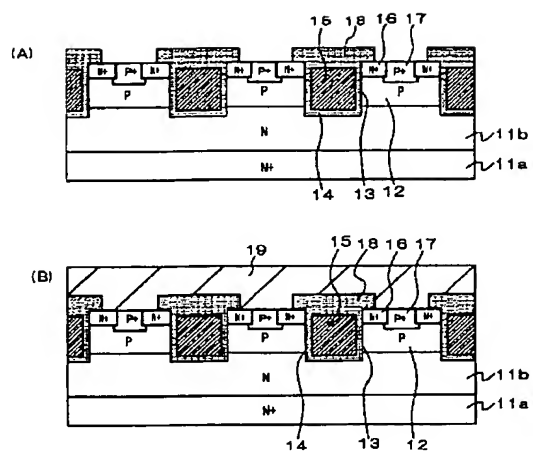
【図6】



【図8】



【図9】



【図10】

